

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219470

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

H01L 23/28

H01L 21/56

(21)Application number : 08-024094

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.02.1996

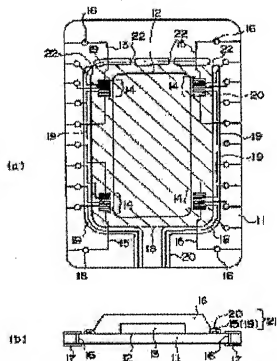
(72)Inventor : OMORI JUN

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to prevent a leakage current from flowing by elution of a wiring material by a method wherein a dam frame is formed along the outer peripheral part of a resin sealing layer, which is formed on the side of one main surface of a board in such a way as to seal a semiconductor chip.

SOLUTION: A molding resin layer 18 is formed on the surface of a circuit board 11 in such a way as to seal a semiconductor chip 13 and a dam frame 21, which is constituted of each one part of wirings 15, dummy wirings 19 distributed from these wirings, each one part of these wirings 14 and solder resist layers 20, which are respectively formed by coating on the wirings 19, is provided in such a way as to extend along the outer peripheral part of this layer 18. Thereby, the adhesion of a metal mold to the whole force-cutting surface of the layer 18 is enhanced, the filling efficiency of the molding resin layer is enhanced and the generation of burrs can be inhibited to the minimum.



LEGAL STATUS

[Date of request for examination]

07.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3274343

[Date of registration]

01.02.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-219470

(43) 公開日 平成9年(1997)8月19日

(51) Int.Cl.⁵

H 0 1 L 23/28

21/56

識別記号

庁内整理番号

F I

H 0 1 L 23/28

21/56

技術表示箇所

C

T

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平8-24094

(22) 出願日 平成8年(1996)2月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大森 純

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

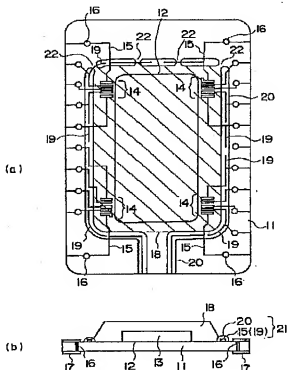
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】回路基板の厚さにばらつきがあったとしてもバリの発生を抑えることができ、また、樹脂を金型に流し込む際に樹脂の未充填や回路基板と半導体チップの剥離を引き起こすなどの不具合が発生することを防止する。

【解決手段】配線15が表面上に形成された回路基板11と、この回路基板11の表面上に搭載された半導体チップ13と、この半導体チップ13を封止するように回路基板の表面側に形成されたモールド樹脂層18と、このモールド樹脂層18の外周部に沿って形成されたダム枠21とを具備している。



1

【特許請求の範囲】

【請求項1】 配線が主面上に形成された基板と、上記基板の主面上に搭載された少なくとも1個の半導体チップと、

上記半導体チップを封止するように上記基板の主上面に形成された樹脂封止層と、

上記樹脂封止層の外周部に沿って形成されたダム枠とを具備したことを特徴とする半導体装置。

【請求項2】 前記ダム枠の一部分が欠けていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記ダム枠が、前記樹脂封止層の外周部に沿って形成された前記配線の一部及び前記基板の主面上に形成されたダミー配線によって構成されることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記ダム枠が、前記樹脂封止層の外周部に沿って形成されたレジスト層によって構成されることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記ダム枠が、前記樹脂封止層の外周部に沿って形成された前記配線の一部及び前記基板の主面上に形成されたダミー配線と、上記配線の一部及び上記ダミー配線上に形成されたレジスト層とによって構成されることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記樹脂封止層もしくは前記ダム枠から露出している前記配線及び前記配線の間隔が、前記樹脂封止層で覆われている部分に存在する前記配線上の前記配線の間隔のうち最も狭い間隔よりも広くされていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は回路基板上に半導体チップを搭載してなる半導体装置に係り、特に半導体チップ搭載面を樹脂によって封止するようにした半導体装置に関する。

【0002】

【従来の技術】 最近の半導体装置は、薄型化、多ピン化が要求されと共に、低コスト化が要求されている。このような要求に対し、従来では、BGA (Ball Grid Array)、LGA (Land Grid Array) 等の半導体パッケージ方式のものが良く知られている。図5はこのような半導体パッケージ方式の半導体装置の構成を示す断面図である。図示のように半導体チップ41は接着剤42によって回路基板43の表面上に搭載されている。半導体チップ41上の電極（図示せず）は、ワイヤ44、回路基板43に設けられたスルーホール45を介して、回路基板43の裏面に形成された外部電極端子46と電気的に接続されている。また、回路基板43の半導体チップ搭載面はモールド樹脂層47によって封止されている。さらに、図6は複数個（例えば2個）の半導体チップ41a、41bを回路基板43上に搭載した例を示しており、図7と対応する箇所には同じ符号を付し、その説明は省略する。

2

【0003】 上記のような低コスト化、薄型化の要求から、上記モールド樹脂層47は、図7に示すように、上型51及び下型52からなるモールド用金型53のキャビティ54内に半導体チップを搭載した前記回路基板43を収納し、熱硬化樹脂タブレット55を加熱することによって一時的に軟化させ、フランジ56によって押圧して、金型ランナ部57、ゲート部58を通してキャビティ54内に注入し、硬化させるトランスファモールド（移送成形）で形成することが多い。

10

【0004】

【発明が解決しようとする課題】 ところで、樹脂からなる回路基板を用いたBGA、LGA等の半導体パッケージにおいては、回路基板の厚さ自体の寸法公差が±10μm程度あるために、同一回路基板内で厚さにばらつきがあり、薄い部分では、厚い部分に比べてバリが大きく発生し、パッケージとしての寸法が満足できなくなるだけではなく、外観も損ねていた。すなわち、このようなバリは、回路基板の厚い部分に金型が当たるとともに、金型の位置がそこで固定され、反対側の部分に隙間が生じ、この隙間に樹脂が入り込むことにより発生する。また、仮に基板精度が良好に仕上がり、バリの発生が抑えられたとしても、樹脂を金型に流し込む際にパッケージ内の空気の逃げ場がなくなり、ゲート部とは反対側に圧縮された空気が溜まり、樹脂の未充填や回路基板と半導体チップの剥離を引き起こすなどの不具合を発生させていた。

20

【0005】 図8は、上記のトランスファモールドによってモールド樹脂層が形成された従来の半導体装置の平面図を示している。図中、回路基板43上にはチップ搭載領域48が設けられている。このチップ搭載領域48上には少なくとも1個以上の半導体チップが接着剤を用いて搭載されるものであるが、本例では半導体チップの図示は省略した。また、回路基板43の表面上には、前記ワイヤを介して上記半導体チップ上の電極と接続するための複数の接続端子49及びこれら複数の接続端子49と電気的に接続された複数の配線50が設けられており、また複数の配線50は前記スルーホール45と電気的に接続されている。なお、図中、右下斜線を施した領域が前記モールド樹脂層47に対応している。

40

【0006】 このような構成の半導体装置において、モールド樹脂層47から露出している部分、つまりパッケージが出来上がった状態で外気に晒される部分の配線50同志の間隔が0.5mm以下のような狭ピッチで形成された場合に、高温、多湿の状態で通電試験（加速試験）を行なうと、これら配線間にデンドライト現象と呼ばれる配線材料（例えばCu、Au等）が溶け出してリーク電流が流れる現象が発生し、パッケージとしての信頼性が乏しいものとなる。この発明は上記のような事情を考慮してなされたものであり、その目的は、高い信頼性を確保することができる半導体装置を提供することにある。

50

【0007】

【課題を解決するための手段】この発明の半導体装置は、配線が一主面上に形成された基板と、上記基板の一主面上に搭載された少なくとも1個の半導体チップと、上記半導体チップを封止するように上記基板の一主面に形成された樹脂封止層と、上記樹脂封止層の外周部に沿って形成されたダム枠とを具備したことを特徴とする。

【0008】また、この発明の半導体装置は、前記ダム枠の一部分が欠けていることを特徴とする。この発明の半導体装置は、前記ダム枠が、前記樹脂封止層の外周部に沿って形成された前記配線の一部及び前記基板の一主面上に形成されたダミー配線によって構成されることを特徴とする。

【0009】この発明の半導体装置は、前記ダム枠が、前記樹脂封止層の外周部に沿って形成されたレジスト層によって構成されることを特徴とする。この発明の半導体装置は、前記ダム枠が、前記樹脂封止層の外周部に沿って形成された前記配線の一部及び前記基板の一主面上に形成されたダミー配線と、上記配線の一部及び上記ダミー配線上に形成されたレジスト層とによって構成されることを特徴とする。

【0010】この発明の半導体装置は、前記樹脂封止層もしくは前記ダム枠から露出している前記基板上の前記配線の間隔が、前記樹脂封止層で覆われている部分に存在する前記基板上の前記配線の間隔のうち最も狭い間隔よりも広くされていることを特徴とする。

【0011】

【発明の実施の形態】以下、図面を参照してこの発明を実施の形態により説明する。図1は、この発明に係る半導体装置の第1の実施の形態による構成を示すものであり、図1(a)は平面図、図1(b)は断面図である。図において、11は例えばガラス又は石英、BT樹脂等の樹脂材料を用いて構成された回路基板であり、この回路基板11の表面(一主面)上には、半導体チップが搭載されるチップ搭載領域12が設けられている。このチップ搭載領域12上には、少なくとも1個以上の半導体チップ13(図1(a)では半導体チップの図示は省略し、図1(b)にのみ示した)が接着剤を介して搭載される。また、回路基板表面上の上記チップ搭載領域12の周囲の四隅に対応した位置にはそれぞれ、前記ワイヤを介して上記半導体チップ13上の電極と接続される例えばそれぞれ5個の接続端子14が設けられている。さらに、上記回路基板11の表面上には、上記複数の接続端子14と電気的に接続された複数の配線15が設けられている。また、これらの配線15は基板11の裏面を貫通するように設けられたスルーホール16を介して、回路基板11の裏面に設けられた複数の配線17と電気的に接続されている。

【0012】上記回路基板11の表面には、半導体チップ13を封止するようにモールド樹脂層18(図1(a)

中、右下りの斜線を施した部分であり、図1(b)にのみ図示)が形成されている。そして、このモールド樹脂層18の外周部に沿うように、上記配線15の一部とこの配線を引き回したダミー配線19と、これら配線14の一部及びダミー配線19上に塗布形成されたソルダレジスト層20とにより構成されたダム枠21が設けられている。上記ソルダレジスト層20は、液状熱硬化性のものでドライフィルムタイプのものでよい。また、上記ダム枠21の一部には、ソルダレジスト層20が設けられていない欠け部分22が複数箇所設けられている。この欠け部分22におけるダム枠21が設けられていない部分の寸法は例えば1mm程度にされている。さらに、上記モールド樹脂層18もしくはダム枠21から露出している部分における複数の配線15の間隔は、モールド樹脂層18もしくはダム枠21で覆われている部分に存在する配線15の間隔のうち最も狭い間隔よりも広くするようにされている。

【0013】なお、図1ではモールド樹脂を充填後の回路基板11を個々に切り離した状態を示しているが、通常、モールド樹脂の充填は、図示しないが回路基板11が複数個連結された状態で行なわれる。

【0014】図2は、上記図1に示す半導体装置におけるモールド樹脂層18を形成する際の工程を示す断面図である。図示のように、上型31及び下型32からなるモールド用金型33のキャビティ34内に半導体チップを搭載した前記回路基板11を収納すると、ダム枠21が押し切り面となり、ダム枠21が上型32と接触してキャビティ34の気密性が保たれた状態で、キャビティ34の中にモールド樹脂が充填される。一般に、樹脂による回路基板11の厚さAの寸法ばらつきが±10μm程度あるために、ダム枠21の位置における配線15の一部もしくはダミー配線19上に塗布形成されたソルダレジスト層の厚さBを1.5μm程度とすることで、実際に金型の型締めを行なう際に、回路基板11が厚い部分については、ソルダレジスト層が潰れて回路基板11の厚さのばらつきを吸収できるようになる。これにより、金型と上記押し切り面全体との密着性が向上し、モールド樹脂の充填性が良くなり、バリ等の発生が最小限に抑えられるようになる。この結果、半導体装置として高い信頼性を確保することができる。

【0015】なお、上記実施の形態では、ダム枠21に欠け部分22を設ける場合について説明したが、この欠け部分22は必ずしも設ける必要はない。従って、この欠け部分22を設けない場合もこの実施の形態に含まれる。しかし、この欠け部分22を設けると、モールドの際に前記キャビティの気密性が完全に保たれていた場合に問題になっていた、キャビティ内に空気が残存し、それが未充填、チップ剝離を生じさせる現象を回避することができるといふ効果を得ることができる。

【0016】また、この欠け部分22を、モールド樹脂が注入される側の反対側に設けることにより、充填時に残存空気を効率的に外部に排出することができる。また、

5

モールド樹脂層18もしくはダム枠21から露出している部分における複数の配線15の間隔を、モールド樹脂層18もしくはダム枠21で覆われている部分に存在する配線15の間隔のうち最も狭い間隔よりも広くなるようにしたので、従来で問題になっていた加速試験の際のデンドライト現象の発生を防止することができ、信頼性が大幅に向上する。

【0017】また、上記実施の形態では、モールド樹脂層18もしくはダム枠21から露出している部分における複数の配線15の間隔が、モールド樹脂層18もしくはダム枠21で覆われている部分に存在する配線15の間隔のうち最も狭い間隔よりも広くなるようにされている場合について説明したが、これはモールド樹脂層18もしくはダム枠21から露出している部分における複数の配線15において、その間隔が狭くなっている部分が存在している場合には、その部分に選択的にソルダレジスト層20を塗布形成すれば、これらの配線間に生ずるリーク電流の発生を防止することができる。

【0018】図3はこの発明に係る半導体装置の第2の実施の形態による構成を示す平面図である。この実施の形態では、前記ダミー配線19を設けることなく、前記ダム枠21を实质上、ソルダレジスト層20のみにより構成するようにしたものである。従って、図1(a)と対応する箇所には同じ符号を付してその説明は省略する。またこの第2の実施の形態においても、ダム枠21に欠け部分22を必ずしも設ける必要はなく、この欠け部分22を設けない場合も実施の形態に含まれる。

【0019】また、この実施の形態においても、モールド樹脂層18もしくはダム枠21から露出している部分における複数の配線15において、その間隔が狭くなっている部分が存在している場合には、その部分に選択的にソルダレジスト層20を塗布形成すれば、これらの配線間に生ずるリーク電流の発生を防止することができる。

【0020】また、図4はこの発明に係る半導体装置の第3の実施の形態による構成を示す平面図である。この実施の形態では、前記ソルダレジスト層20を設けることなく、前記ダム枠21を前記配線15の一部とこの配線を引き回したダミー配線19のみにより構成するようにしたものである。従って、図1(a)と対応する箇所には同じ符号を付してその説明は省略する。なお、この実施の形

6

態ではダム枠21を前記配線15の一部とこの配線を引き回したダミー配線19とで構成している。これら配線15及びダミー配線19はソルダレジスト層20に比べて堅く、モールド時の金型の型締めを行なう際の回路基板11の厚さのばらつきが吸収される度合いは多少低下するが、金型との密着性を上げることはできる。

【0021】

【発明の効果】以上、説明したように、この発明によれば高い信頼性を確保することができる半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明に係る半導体装置の第1の実施の形態による構成を示すものであり、(a)は平面図、(b)は断面図。

【図2】図1の半導体装置のモールド樹脂層を形成する際の工程を示す断面図。

【図3】この発明に係る半導体装置の第2の実施の形態による構成を示す平面図。

【図4】この発明に係る半導体装置の第3の実施の形態による構成を示す平面図。

【図5】従来の半導体装置の構成を示す断面図。

【図6】従来の半導体装置の構成を示す断面図。

【図7】図5及び図6に示す従来の半導体装置のモールド樹脂層を形成する際の工程を示す断面図。

【図8】トランスフェーマールドによってモールド樹脂層が形成された従来の半導体装置の平面図。

【符号の説明】

11…回路基板、

12…チップ搭載領域、

13…半導体チップ、

14…接続端子、

15…表面上の配線、

16…スルーホール、

17…裏面上の配線、

18…モールド樹脂層、

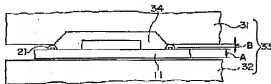
19…ダミー配線、

20…ソルダレジスト層、

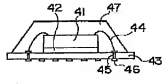
21…ダム枠、

22…欠け部分、

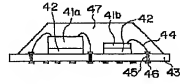
【図2】



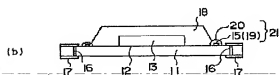
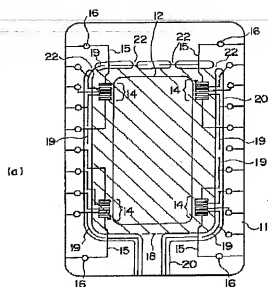
【図5】



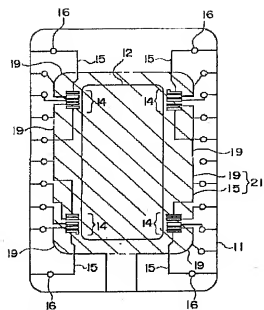
【図6】



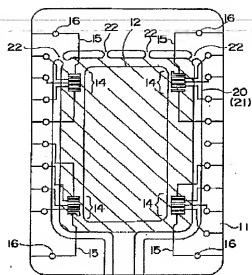
【図1】



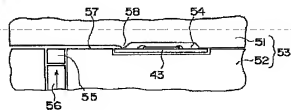
【図4】



【図3】



【図7】



【図8】

